Circuits intégrés à transistors MOS : réalisation d’un amplificateur opérationnel – partie 1

But de la manipulation

Se familiariser avec la structure d'un ampli-op de base à transistors MOS.

Pour ce faire, vous serez amenés à étudier les montages à amplificateurs MOSFET ne comprenant aucun élément passif

Prérequis

Les chapitres 4 et 5 du cours sont supposés connus. La matière des deux labos précédents est également présente dans cette manipulation.

Prédéterminations

Avant d’entrer au laboratoire, il est conseillé de réaliser les calculs du point 2.1 et 3.1

Objectifs

A la fin de ce laboratoire vous devez être capable

* d’expliquer le fonctionnement d’un ampli tout transistors
* de dimensionner de tels étages
* d’expliquer l’utilité d’un ampli différentiel et de quantifier ses performances

Manipulation

# Introduction

L’amplificateur opérationnel est un exemple classique de circuit à transistors intégrés.

Contrairement aux deux labos précédents, nous allons réaliser des circuits contenant le moins d’éléments passifs possibles, en raison de la place que ces composants prennent sur le silicium. Pour ce faire, il va falloir tenir compte des paramètres physiques des transistors afin de connaître toutes leurs caractéristiques avec précision.

Le schéma de base d’un amplificateur opérationnel est le suivant :

Ampli

Différentiel

Gain

Buffer

IN+

OUT

IN-

Un premier étage amplifie la différence de tension entre les entrée IN+ et IN– de l’ampli-op. Le signal est amplifié à nouveau par un étage de gain. Enfin, un étage de sortie permet d’obtenir une source de tension à basse impédance. En marge de ces blocs se trouve également toute la circuiterie nécessaire à la polarisation et à l’alimentation.

Dans ce laboratoire, nous allons nous intéresser aux deux premiers étages de l’amplificateur en les construisant à base de transistors MOS. Dans le laboratoire suivant, nous mettrons ces deux étages en cascade.

Dans ce labo, nous allons utiliser des NMOS ALD1106 et des PMOS 1107. Les caractéristiques du NMOS sont les suivantes :

--- ---

Pour le PMOS, on a :

--- ---

Attention ! Comme il s’agit ici de vrais transistors, ces valeurs sont approximatives. On verra durant les simulations (qui utilisent des modèles plus compliqués que ceux vu au cours) que les valeurs simulées peuvent différer assez fort des valeurs prédéterminées !

Tout au cours du laboratoire, on utilisera des tensions d’alimentations et .

# Le montage miroir de courant

La plupart des circuits MOS intégrés sont polarisés par une source de courant. Pour créer cette source, nous allons utiliser un montage permettant de reproduire un courant en différents points du circuit : le miroir de courant. Nous allons utiliser des transistors NMOS (modèle ALD1106) pour les miroirs de courant.



## Prédéterminations

* Revoir dans le cours le fonctionnement de circuit
* Pour les caractéristiques des NMOS défini au point 1, calculez et pour avoir .

## Simulations

* Téléchargez le projet *Miroir.opj* dans votre dossier de travail et ouvrez-le.
* Réalisez un DC Sweep avec pour paramètre allant de 1 à 20 et comparez à vos calculs.
* Comparez et en fonction de . Constater que le "miroir" n’est pas parfait. Pourquoi ?

Une image contenant graphique

Description générée automatiquement

On voit une légère différence. Pour la valeur R1 = 15kohm, elle est de :

* Comment peut-on réaliser un gain entre les courants d’entrée et de sortie ?^

Une image contenant table

Description générée automatiquement

Une image contenant texte

Description générée automatiquement La « véritable forme » du courant dans le transistor est : Une image contenant Police, écriture manuscrite, calligraphie, typographie

Description générée automatiquement. Il y a donc bien une dépendance en vDS Hors, ici, cette tension est fortement différente dans les 2 cas.

# La paire différentielle

## Partie théorique

Un ampli-op amplifie la différence de potentiel entre ses bornes + et -. L’étage d’entrée doit donc forcément être un amplificateur différentiel. Nous étudierons ici un ampli différentiel à sortie asymétrique.

### Charge résistive



### Gain de mode commun

Supposons d’abord que nous mettons une tension purement de mode commun à l’entrée du montage

* Comment se répartit le courant venu de la source dans les deux NMOS, supposés identiques ?

En supposant que le montage est parfaitement symétrique, 50% de chaque côté, soit 250µA.

* Que vaut la tension de repos à la sortie du montage ?



### Gain différentiel

Prenez maintenant une tension purement différentielle à l’entrée du montage

* Tracez le schéma à petits signaux complet du montage
* Calculez le gain différentiel en supposant
* Déduisez-en le taux de réjection du mode commun
* En quoi les imperfections des transistors peuvent-elles dégrader ce résultat ?

### Utilisation d’une charge active

En pratique, les résistances sont réalisées avec un miroir de courant PMOS. On supposera les deux PMOS rigoureusement identiques.

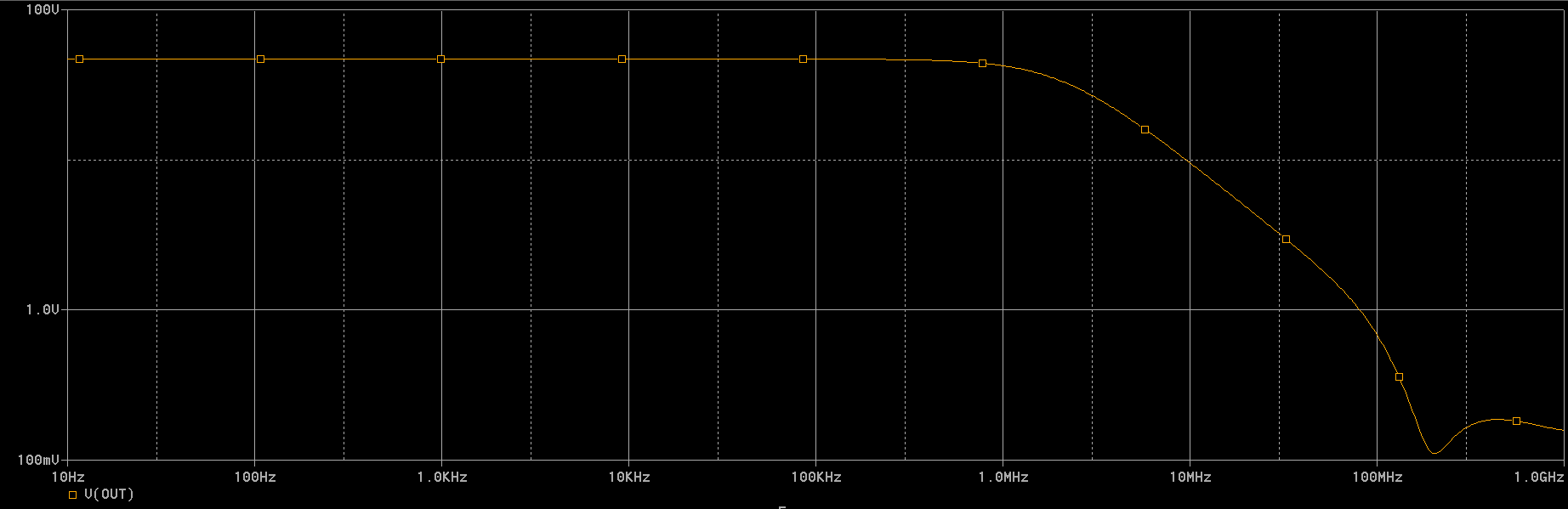


* Quel est le gain différentiel et de mode commun à petits signaux ? Considérez les valeurs de NMOS et PMOS données dans la partie 1.
* Si la source de courant délivre un courant de , quelle est la tension de polarisation à la sortie ? (indication : si il n’y a pas de tension différentielle à l’entrée, la branche de gauche et de droite sont parfaitement identique. La tension au drain du PMOS de droite est alors égale à la tension de drain du PMOS de gauche).

## Simulations de l'ampli différentiel à charge active

Téléchargez le projet AmpliDiff.opj dans votre dossier de travail et ouvrez-le. Dans un premier temps une il sera basé sur une source de courant idéale

* Mesurez les gains différentiels et de mode commun (en mettant ACMAG de Vcm et Vd à zéro à tour de rôle) de votre circuit dans une bande de fréquence de 10Hz à 1GHz et calculer le CMRR à 10 kHz

Dans le cas différentiel pur : 

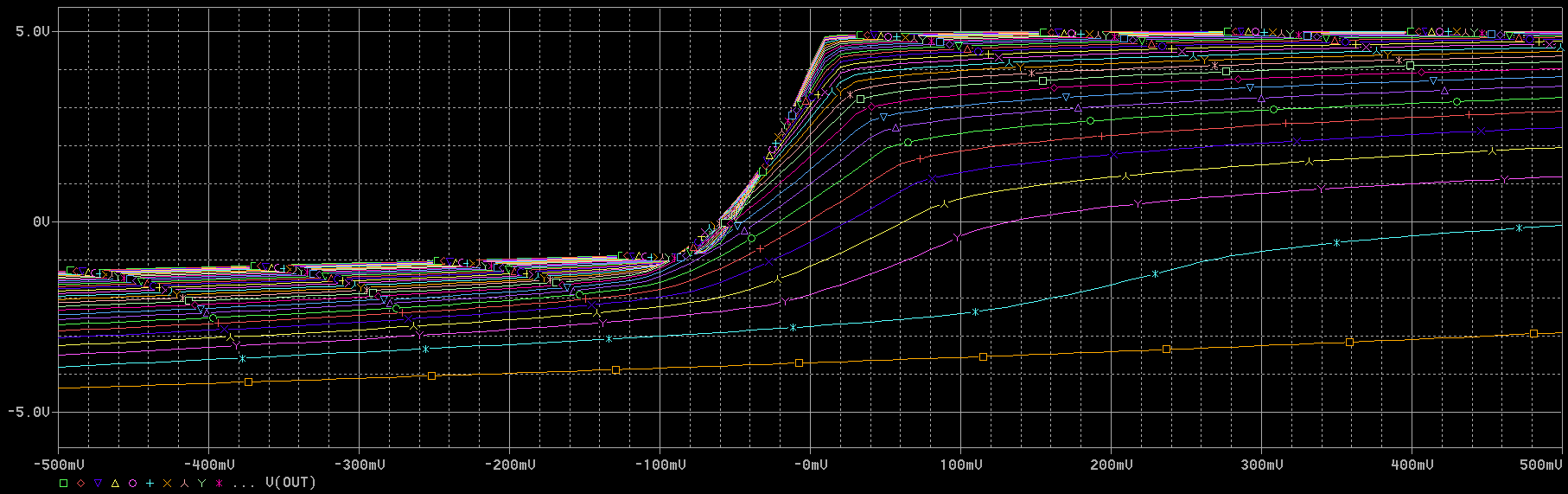
Dans le cas mode commun pur :

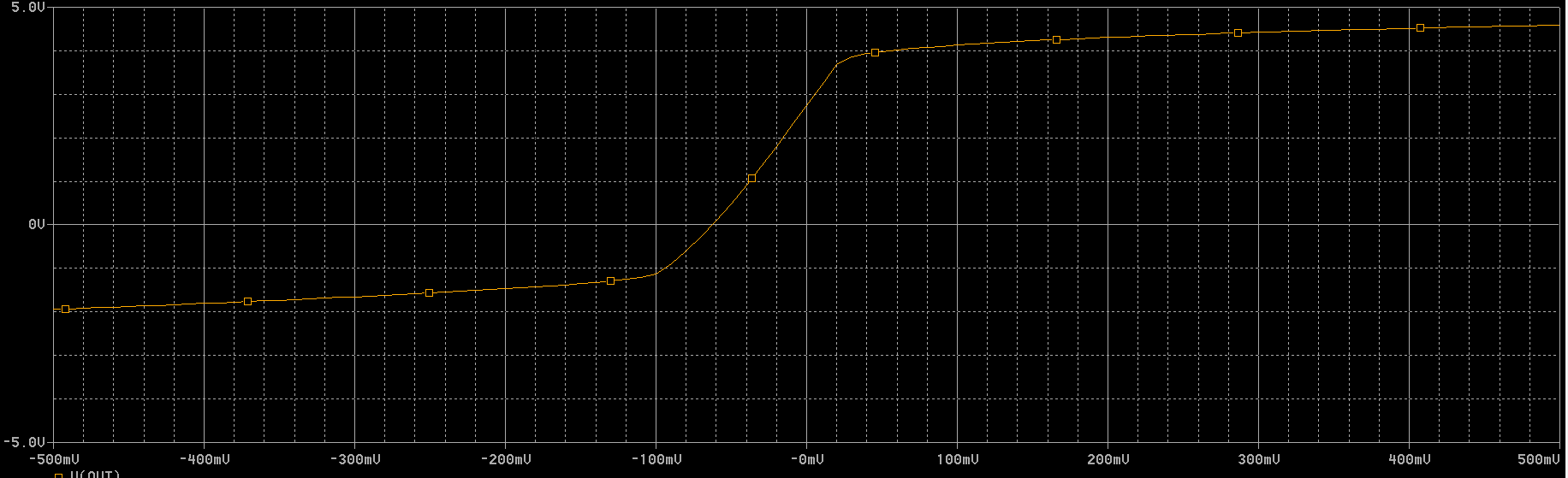
Une image contenant graphique

Description générée automatiquement

Calcul du CMRR : 

* On désire voir l’effet de la valeur de la source de courant sur le gain différentiel. Pour cela, faites un DC sweep pour Vd allant de -5V à +5V, et faites un parametric sweep pour I2 allant de 10uA à 10mA (en logarithmique) avec 10 points/décade. Zoomez sur la zone d’intérêt. (notez qu’en pratique, on varie la source de courant en variant la résistance du miroir de courant calculé dans le point 1).

En prenant une seule courbe, centrée sur 0 V et zoomée :



* + Que pouvez-vous dire du gain et de la plage d’excursion de Vd pour des très petits courants de polarisation ?

Pour des faibles courants de polarisation, le gain est élevé mais plage d’excursion faible

🡪 Plage d’excursion :

* + Que pouvez-vous dire du gain et de la plage d’excursion de Vd pour des très grands courants de polarisation ?

Pour des courants élevés, le gain est plus faible mais la gamme d’excursion est est faible

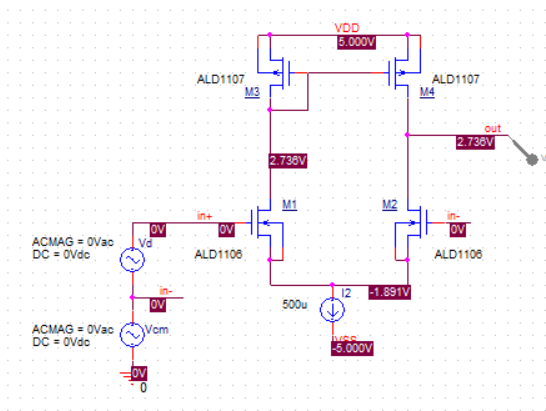
* + Comment évolue la tension de polarisation à la sortie en fonction du courant ?

Au plus le courant est faible, au plus Vout augmente

* + Pour un courant de polarisation de 500 , quelle est le gain la plage d’excursion de Vd tout en restant en zone linéaire.

Zone linéaire d’excursion d’entrée est de +-20mV. Pour la mesurer, on se place en 0V, et on regarde en partant vers les + et les -, jusque quand la relation est linéaire. La zone d’excursion correspond à la plus petite des 2 valeurs. Le gain est de +- 47

* + Un courant de polarisation de 500 offre un compromis entre le gain et la plage d’excursion de tension différentielle d’entrée, nous allons utiliser cette valeur pour la suite du laboratoire. Pour cette valeur de courant de polarisation, quelle est la tension de polarisation obtenue par simulation ? Cela correspond-t-il à la valeur calculée précédemment ?



La tension de polarisation est Vout = 2.736V, à comparer avec le 2.52V.

# Etage à source commune "tous transistors"

## Prédéterminations

Téléchargez le projet *Ampli SC CMOS.opj* dans votre dossier de travail, ouvrez-le et examinez le schéma.

Cet étage à source commune sera l'étage de sortie de l'ampli-op à 2 étages. Un miroir de courant à NMOS est utilisé pour polariser le montage, et un transistor PMOS est utilisé comme amplificateur à source commune.

Le nombre de résistances dans un circuit intégré est gardé à son strict minimum en raison de la place qu’elles prennent sur le substrat. Pour cette raison, la polarisation du transistor amplificateur M3 se fait en imposant son courant de drain par le transistor M2 qui est la sortie du miroir de courant.

* En sachant que la tension de polarisation à l’entrée du PMOS est de 2.74 V (tension de polarisation de sortie de l’étage différentiel), quel est le courant de polarisation qui traverse le PMOS ? Quelles sont les valeurs de et  ?

, et . On peut trouver ces valeurs à l’aide des relations suivantes : , , et

* Quel est la valeur de qui fait que le miroir de courant délivre le courant de polarisation calculé au point précédent ?

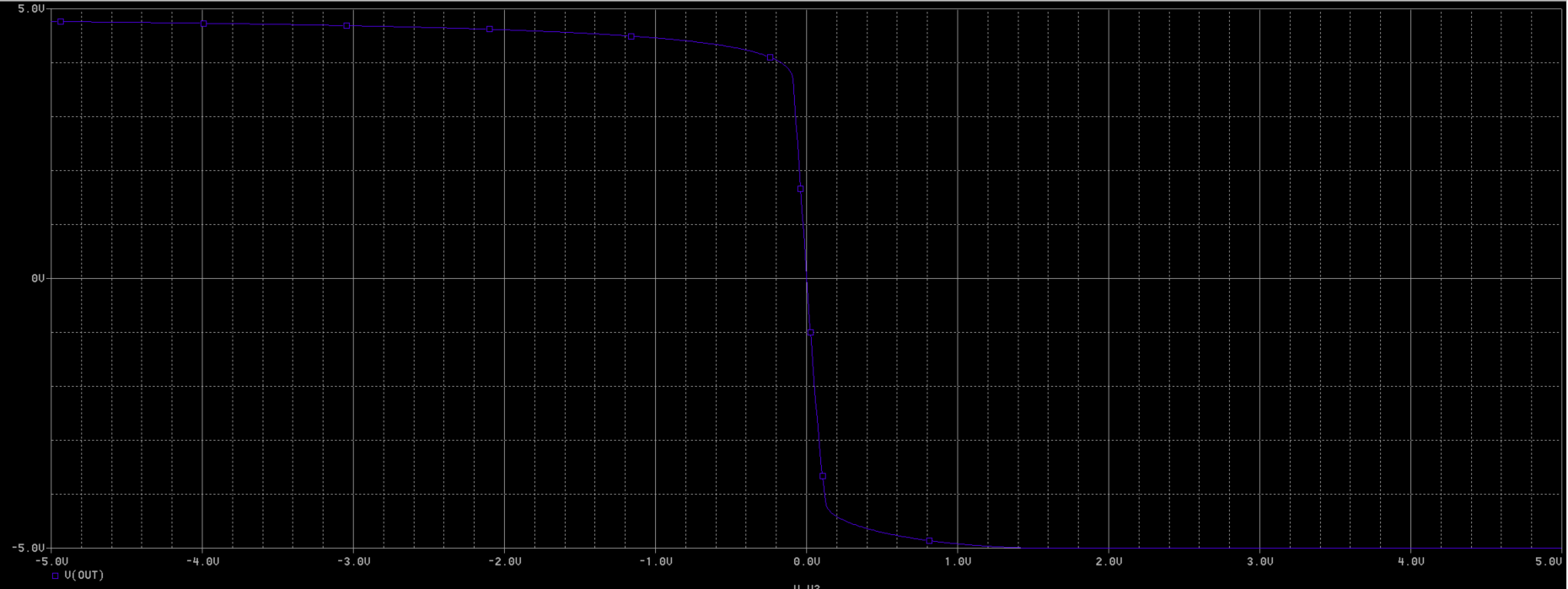
41.8k, valeur trouvée avec les relations et .

* Tracez le schéma à petits signaux de la paire M3/M2
* Déduisez-en le gain à petits signaux ainsi que l’impédance de sortie du montage.

## Simulations

* Dans OrCAD Capture, polarisez la grille de M3 par une source de tension continue; tracez la caractéristique de transfert Vout(Vin) pour Vin allant de -5 à 5 V. Zoomez sur la zone la plus pentue qui est la zone utile d'amplification et dont la pente est précisément le gain à petits signaux que vous venez de calculer. Comparez par rapport à la valeur calculée. Cette zone est très étroite, à quoi correspondent ses limites ? Déduisez-en que l'étage précédent doit avoir une tension de repos (de polarisation) en sortie ajustée avec précision.

Sans zoom :



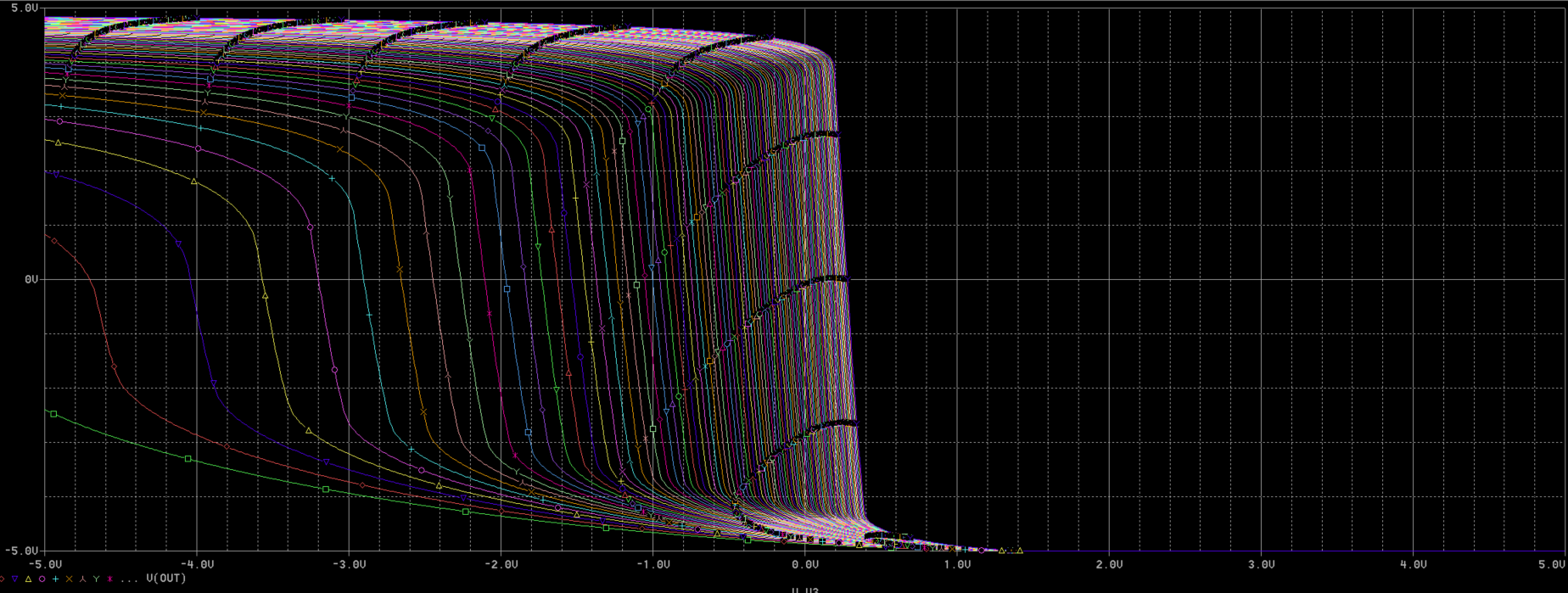
Avec zoom :

Une image contenant texte

Description générée automatiquement

Les limites correspondent à …

* En faisant un parametric sweep pour faire varier de à , tracez la caractéristique de transfert . Quel est l’effet de la résistance sur le montage ? Comment liez-vous ça à la sortie de la paire différentielle ? Quel est la valeur de la résistance pour le miroir de courant qui correspond à la tension de polarisation d’entrée de 2.74 V ?



Pour trouver la résistance telle que la tension de sortie est 2.74V, on commence par faire une analyse de performance,

Une image contenant Appareils électroniques

Description générée automatiquement

La deuxième courbe donne le lieu des points des tensions d’entrée, pour chaque valeur de résistance.

Le résultat est 33.6k, ce qui diffère de la valeur de 41.8k déterminée théoriquement.  
Cet écart peut être expliqué par plusieurs éléments :

• Nous travaillons à des valeurs de courant de drain deux ordres de grandeur sous les valeurs  
nominales dans la datasheet. Les valeurs de gm (et donc K) peuvent donc varier.  
• Comme indiqué dans l’introduction du laboratoire, la différence entre valeurs théoriques et simulées  
n’est pas systématiquement négligable.

C’est aussi pour ces raisons qu’on essaie généralement d’avoir un certain contrôle sur cette polarisation dans le montage physique, par exemple au travers d’une résistance variable permettant de balayer cet intervalle définit par les prédéterminations théorique et de simulation.

* Rajoutez une source de tension alternative. Tracez la réponse en fréquence de 10 Hz à 1 GHz et vérifiez la valeur du gain. Faites une analyse paramétrique (parametric sweep) sur VG dans la plage 2V à 3V par pas de 10mV. Utilisez l'analyse de performance (Trace>Performance analysis>Wizard> YatX(V(out),10kHz) pour donner l'évolution du gain en fonction de VGQ

# Conclusions

Dans l’ampli-op complet, l’étage à source commune est mis en cascade sur l’étage différentiel. Les deux étages sont chacun polarisés par un miroir de courant. Expliquez comment la résistance du miroir de courant de l’étage différentiel et la résistance du miroir de courant de l’étage à source commune doivent être réglés pour que la mise en cascade des deux étages produise l’amplification voulue.

Une image contenant texte, capture d’écran, Police, algèbre

Description générée automatiquement